

電気通信研究所
ブレインウェア研究開発施設
新概念VLSIシステム研究室
(羽生・夏井研究室, 通研C201号室)



高速・低電力・高信頼な次世代VLSIの実現を目指して
VLSI: Very Large Scale Integration(超大規模集積回路)

VLSI(集積回路)技術のインパクト



家庭・企業・交通・社会基盤など私たちの生活全体に渡ってエネルギーを最適利用するためにエレクトロニクス機器の頭脳となる論理集積回路を超低電力化することが益々重要

VLSI(集積回路)技術のインパクト



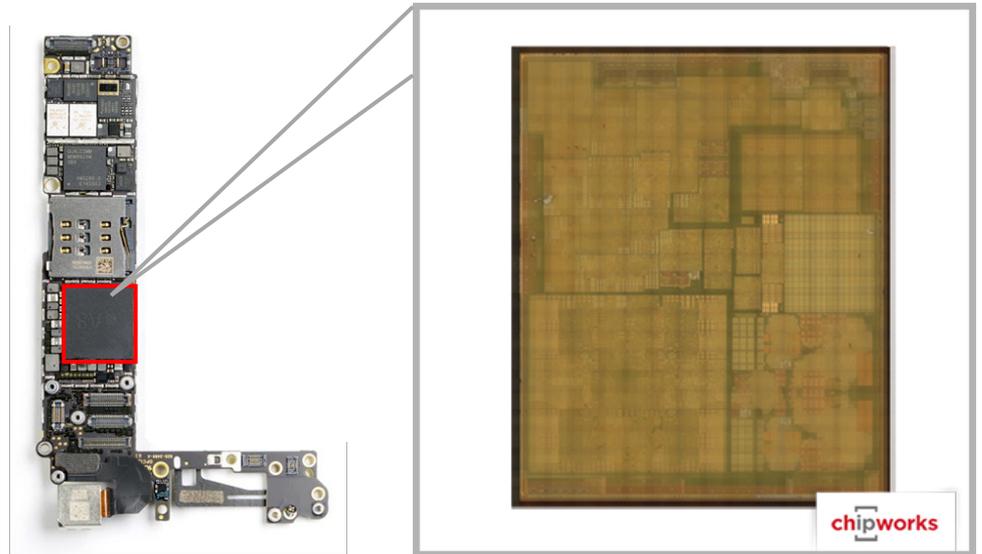
iPhone6(9/19発売)



日本では1000人以上の行列が形成！



<https://www.ifixit.com/>

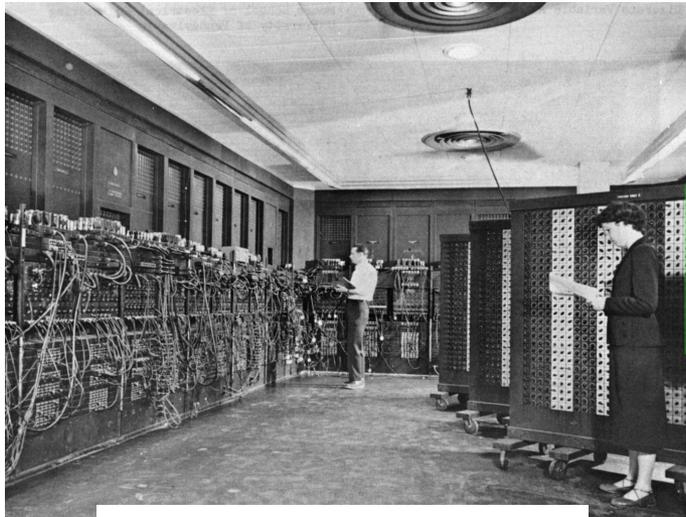


chipworks

VLSI技術はあらゆる電子機器の**性能と質**を決めるキー技術

研究目的

ムーアの法則(集積回路(VLSI)の密度は1.5~2年ごとに2倍)に基づくコンピュータの小型化・高速化・低消費電力化

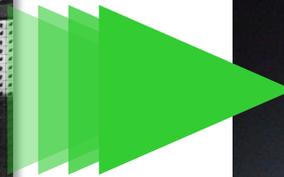


ENIAC(1946)

重量:30t

消費電力:150kW

処理能力:400FLOPS



68 years

1/233000

1/15000

x125000

iPhone 6 (2014)

重量:129g

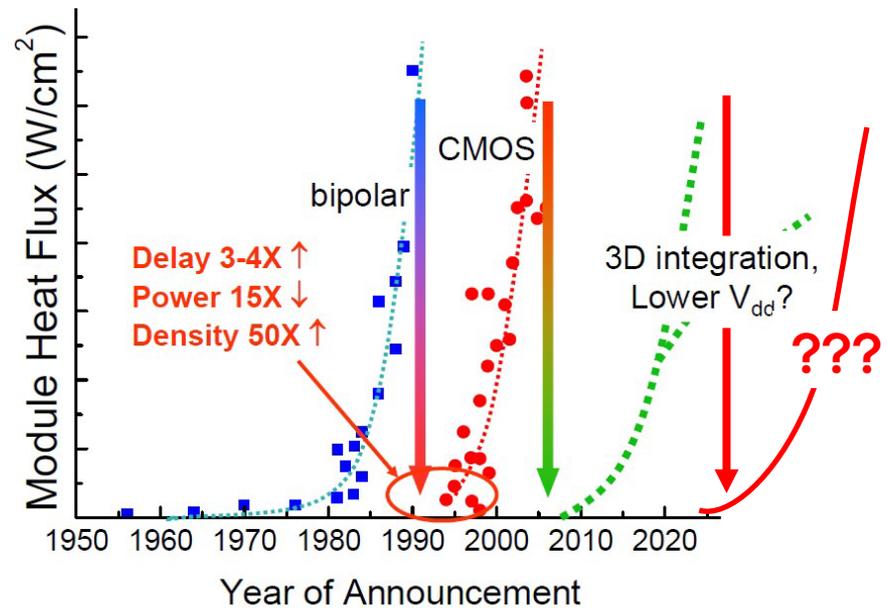
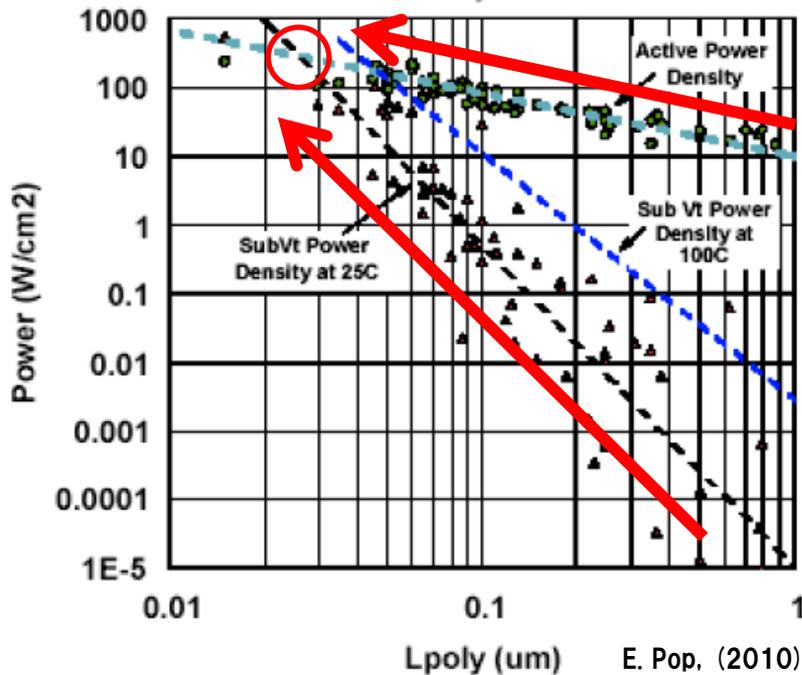
消費電力:~10W

処理能力:50MFLOPS~

- 集積回路(VLSI)に対するニーズの多様化
- 微細化(ムーアの法則)のみに頼った性能向上の限界
⇒ **まったく新しい概念**を取り入れた**VLSI設計技術**が必須

VLSI電力消費の技術動向

素子の微細化に起因して電力消費が著しく増大



R. Schmidt et al., IBM J. R&D, (2002)

静的消費電力が
徐々に大きな割合を占有

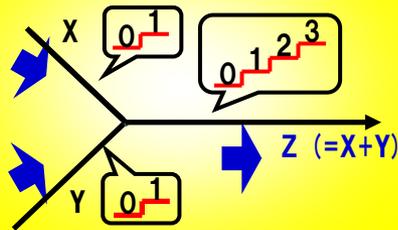
電力消費の限界に伴う
根源的な変革の必要性

現在のコンピュータ(CMOS)の**閉塞感**を打破し、高機能・高性能・高信頼VLSIを実現する**新しい設計パラダイム**の提唱が必須

研究内容

高性能なコンピュータを創るための手法(設計論)の提案

多値信号を使って配線削減!
多値集積回路技術



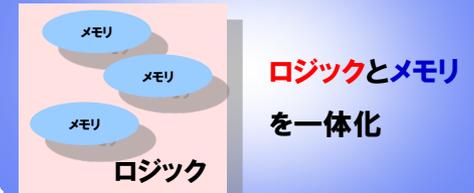
面積の削減, 高速な動作

ノイズを使って演算!
確率論的計算技術



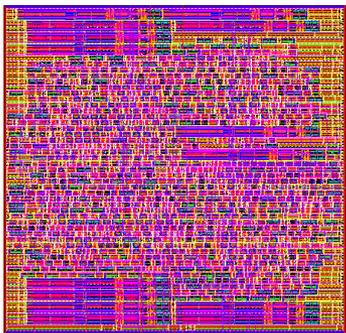
対ノイズ耐性で高信頼な演算

不要電力を極限までカット!
不揮発回路技術

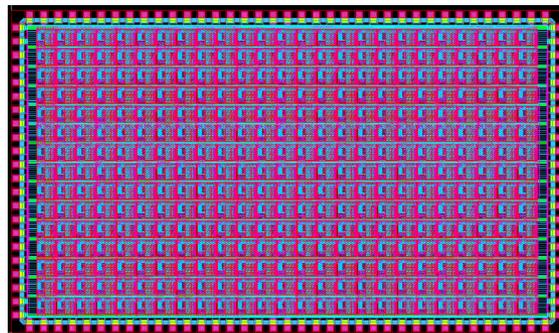


記憶機能を利用した新回路

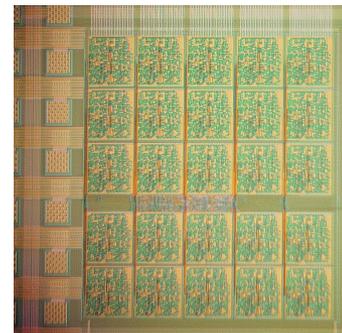
LSIの設計・試作による理論の実証



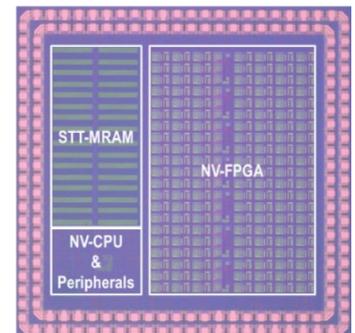
チップ間データ転送回路



プログラマブルLSI



動きベクトル抽出回路



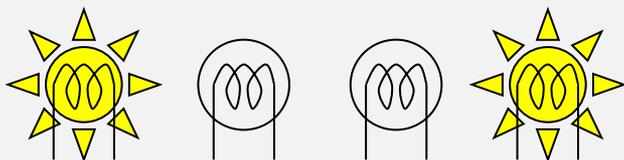
高性能・超低電力マイコン

他研究室(堀尾研, 佐藤研, 遠藤研など)や企業との共同研究にて, 次世代LSIの設計・試作に成功 6

多値VLSI技術

コンピュータで用いる情報表現に**多値論理**を用いることで回路を集積化

通常のコンピュータでは、全ての数字を**高い電圧と低い電圧の組合せ(2進数)**で表現しています



高 低 低 高

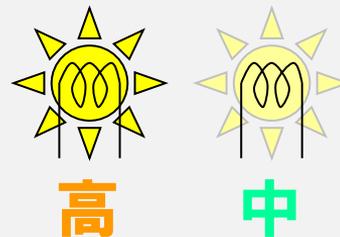
2進数で“1001”,
(10進数だと“9”)

この組合せを**2つ以上から選べるようにする(多進数)**ことで、
同じ数を**少ない数の組合せ**で表現することが可能になります



超高 高 中 低

の4つが使えると…

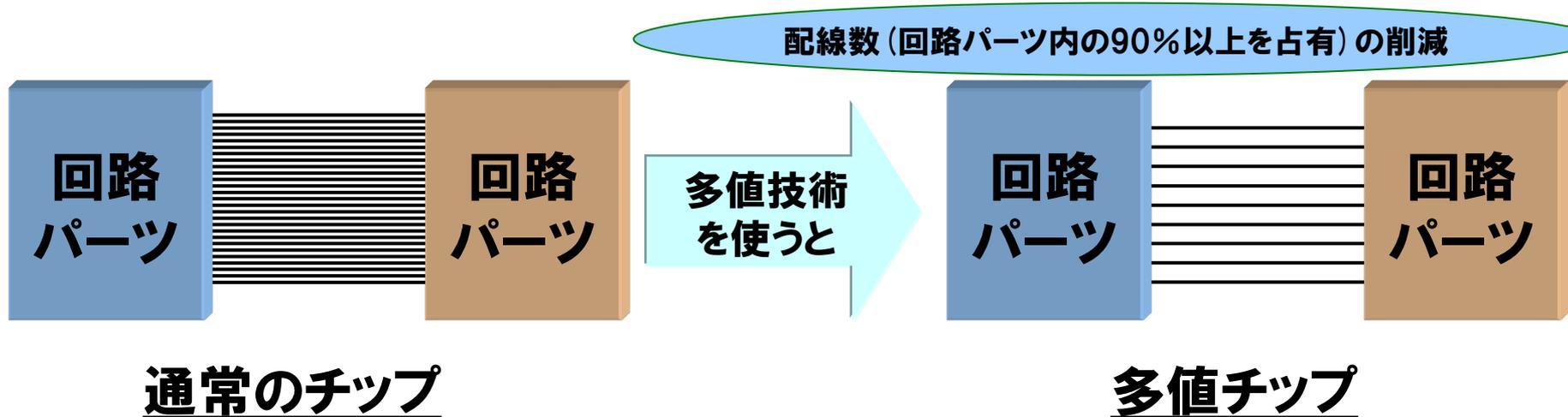


高 中

で“9”を表現できる！！

多値VLSI技術の効果

同じ数を表現するのに必要な数字の数が減ると、それを他の場所に伝えるための**配線の数を減らす**ことができます。

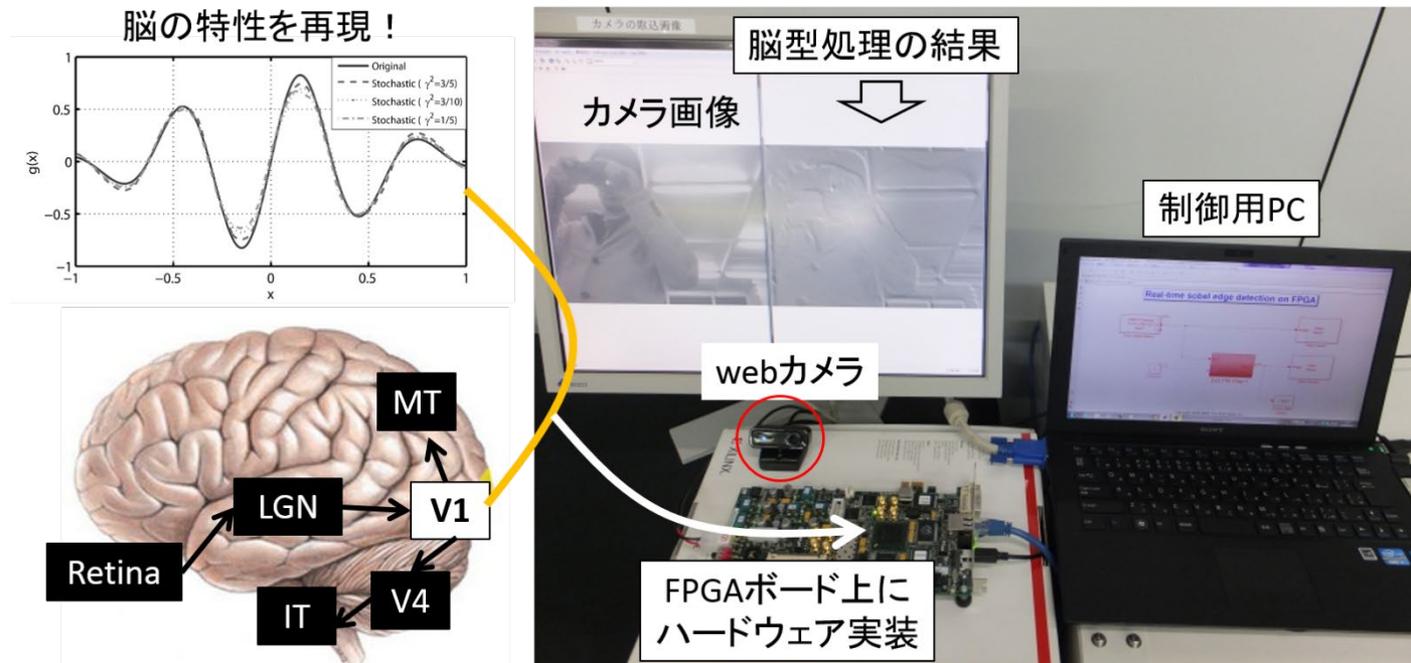


近年では、回路パーツを構成するトランジスタの大きさが小さくなる一方で、配線があまり細くならず、かつ複雑になった為に、チップ全体の面積に対する**配線の占める割合は増加**してきています。

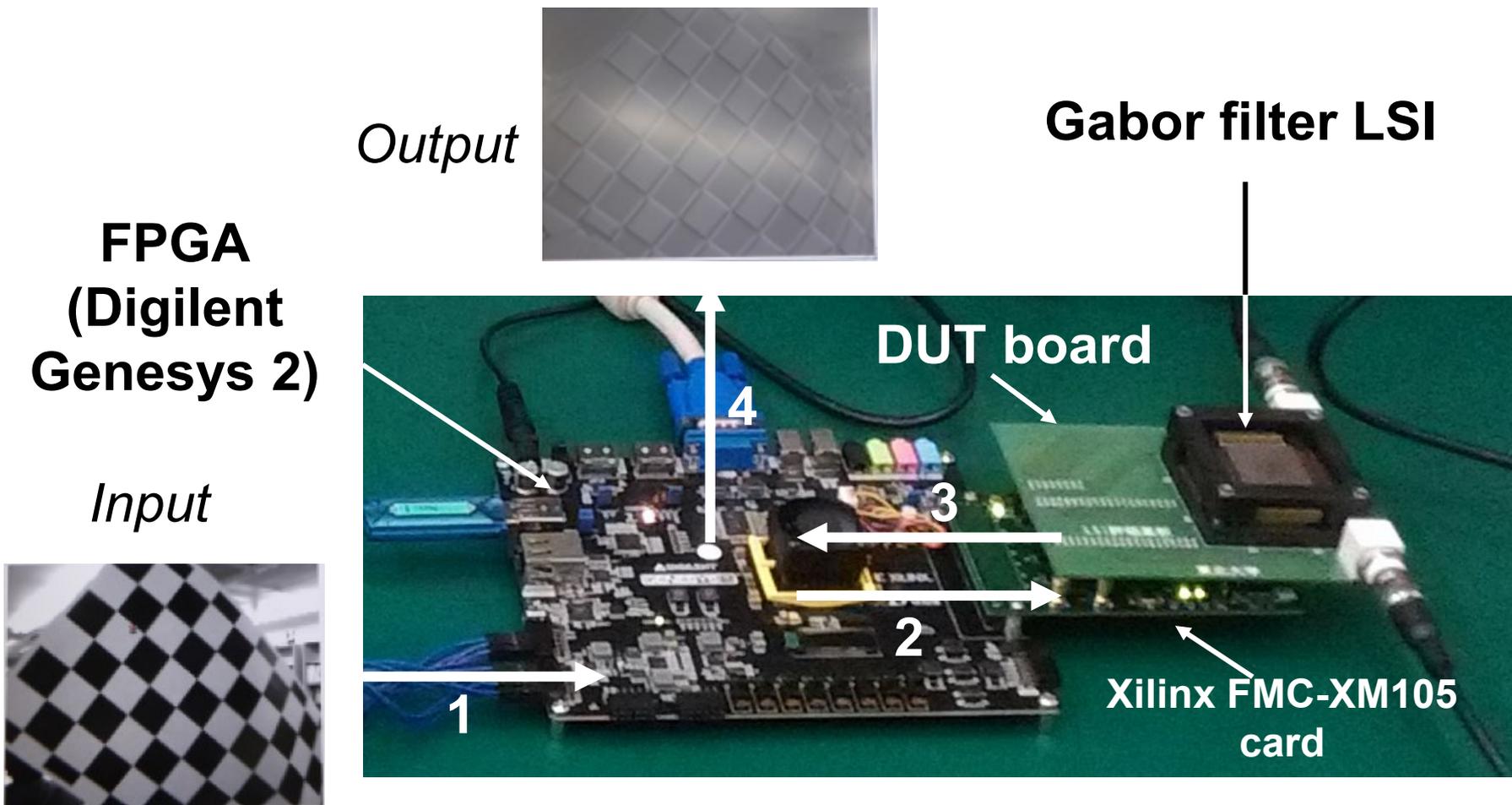
多値技術により配線数を減らすことができれば、**同じ機能**を持ったチップを、**より小さい面積で実現**することができるので、同じ大きさで、**さまざまな機能を詰め込んだチップ**を作ることができます

脳の視覚処理LSI(脳型LSI)のデモ

私たち人間は物体(犬や猫など)を認識するとき、目から入った物体の映像を一旦「成分」に分解して、その後成分情報の組み合わせの結果、物体を認識していると言われていています。このデモでは、脳で視覚処理の成分抽出を行う第1次視覚野(V1)の機能をLSI上で再現したのになります。



脳の視覚処理LSI(カスタムLSI)の実装デモ



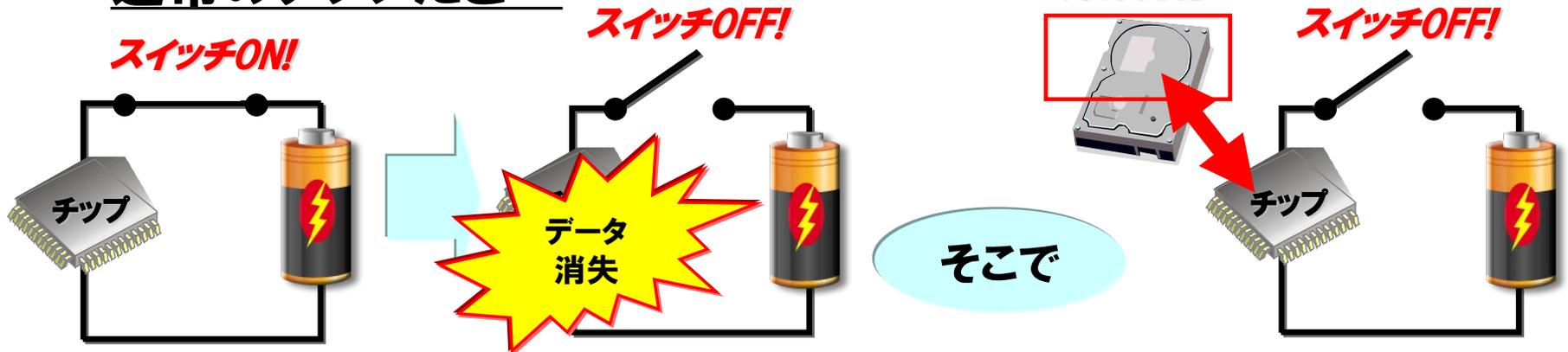
耐故障・高信頼車載用制御ユニットの 動作シミュレーション



複数の演算処理装置による非同期ネットワークを構築することで、一部が故障しても動作し続けることが可能です

不揮発回路技術

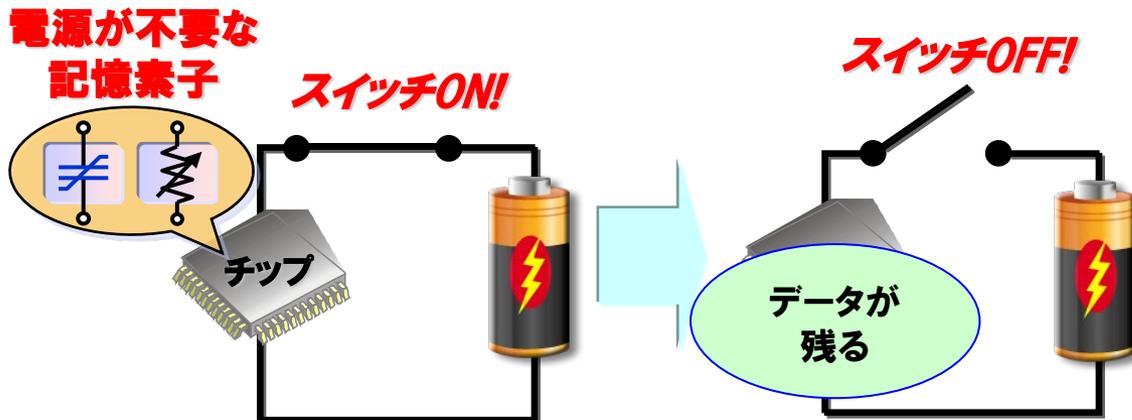
通常のチップだと…



チップの中の記憶部分は
電源とつながないとデータが消える

外部記憶にデータを保存
⇒無駄な時間、電力が必要になる

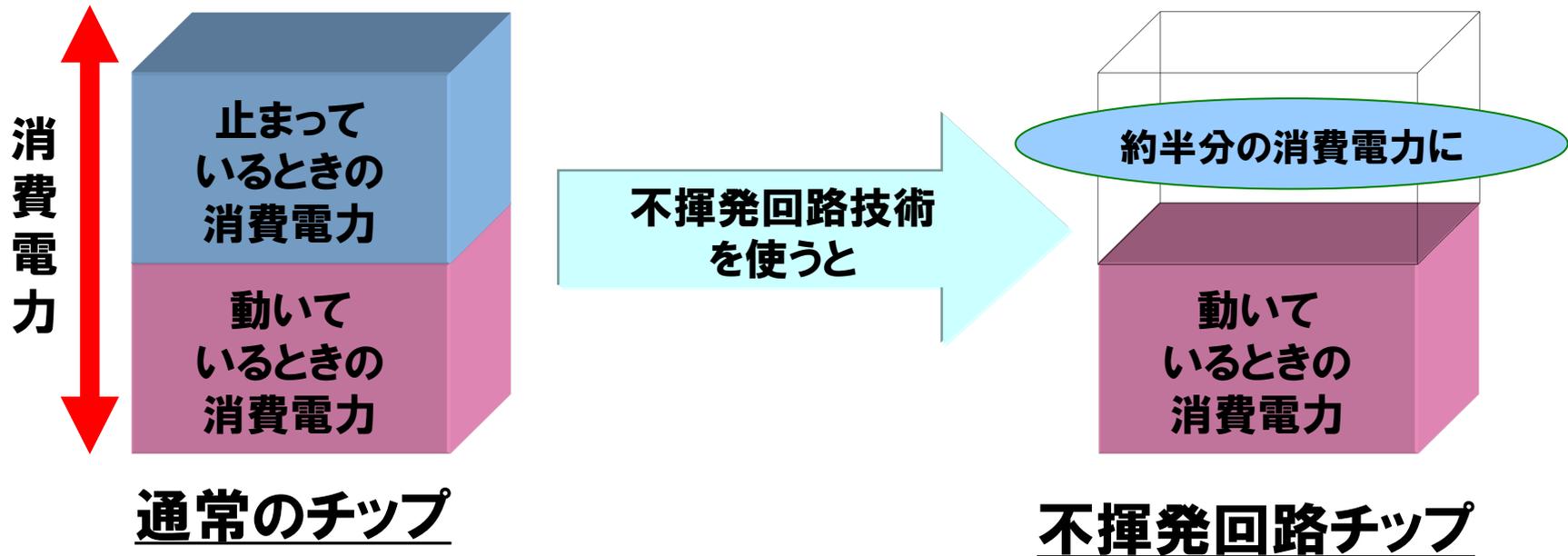
不揮発回路チップでは…



電源が不要な記憶素子を
チップの中に組み込んで
いるので、電源を切っても
中のデータがそのまま
残っている！！

不揮発回路技術の効果

近年の半導体チップの消費電力の割合は、
(動いているときの消費電力):(止まっても必要な消費電力)
=1:1(同じぐらいの量)とされています



不揮発回路技術を使うと
使っていないときは**すぐに電源を切れる**ので、**消費電力が少なくなります**。
携帯電話の**電池は長持ち**するようになり、家電では**より多様な機能を実現**することができます

日本経済新聞 電子版 (2020年6月15日掲載)

日本経済新聞

お申込み 

トップ

朝刊・夕刊

ストーリー

Myニュース

東北大、SOT-MTJ素子を用いた不揮発メモリチップの試作・実証に成功

2020年6月15日 22:05

 保存

発表日:2020年6月15日

SOT-MRAMチップの動作実証に初めて成功

～読み書き同時処理機能の実装により、実用化に向け大きく前進～

【発表のポイント】

- ・スピントロニクス技術とCMOS技術の融合により、スピントロニクス型磁気トンネル接合 (SOT-MTJ) 素子を用いた不揮発メモリ (SOT-MRAM) チップの試作・実証に初めて成功
- ・スピントロニクス技術を用いた不揮発メモリチップとしては初となるデュアルポート動作 (読み書き同時処理) の実装に成功
- ・無磁場環境下における高速動作 (60MHz書き込み、90MHz読み出し) を達成
- ・開発回路技術により、高速スタティックランダムアクセスメモリ (SRAM) の置き換えが期待されるSOT-MRAMの更なる高速動作化への道を拓く

【概要】

半導体メモリでは、トランジスタの微細化に伴い、待機電力の増大が課題になっており、この問題を解決するために、スピントロニクス技術を使った不揮発性メモリに注目が集まっています。東北大学国際集積エレクトロニクス研究開発センター (以下、CIES) の遠藤哲郎センター長・教授 (※) と電気通信研究所の羽生貴弘教授、夏井雅典准教授らの研究グループは、スピントロニクス型磁気トンネル接合 (SOT-MTJ) 素子とSi-CMOS技術を組み合わせた集積回路技術を用いて、高速なデータの読み書きを可能とするデュアルポート型 SOT-MRAMチップを試作し、その動作実証に初めて成功しました。この不揮発性メモリ技術は、ICT社会基盤のパラダイムシフトをもたらす、Society5.0を実現するための基盤技術として期待されます。

EE Times Japan (2020年6月18日掲載)

書き込み60MHz、読み出し90MHzを達成

「世界初」SOT-MRAMチップの動作実証に成功、東北大

2020年06月18日 09時30分 公開

[永山 準, EE Times Japan]

 印刷する

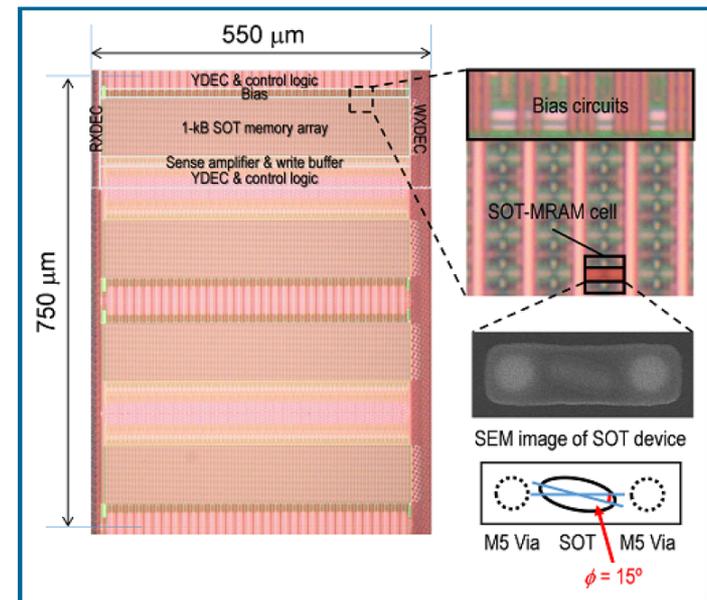
 クリップする

 18

 Share

 1

東北大学国際集積エレクトロニクス研究開発センター (以下、CIES) と同大電気通信研究所は2020年6月15日、スピントロニクス型磁気トンネル接合 (SOT-MTJ) 素子を用いた不揮発性メモリ (SOT-MRAM) チップを試作し、その動作実証に世界で初めて成功した、と発表した。メモリセルを3万2768ビット (=4キロバイト) 搭載したデュアルポート型SOT-MRAMチップで、無磁場環境下における高速な同時並行動作 (書き込み60MHz、読み出し90MHz) を達成。「ICT社会基盤のパラダイムシフトをもたらす、Society5.0を実現するための基盤技術として期待される」としている。

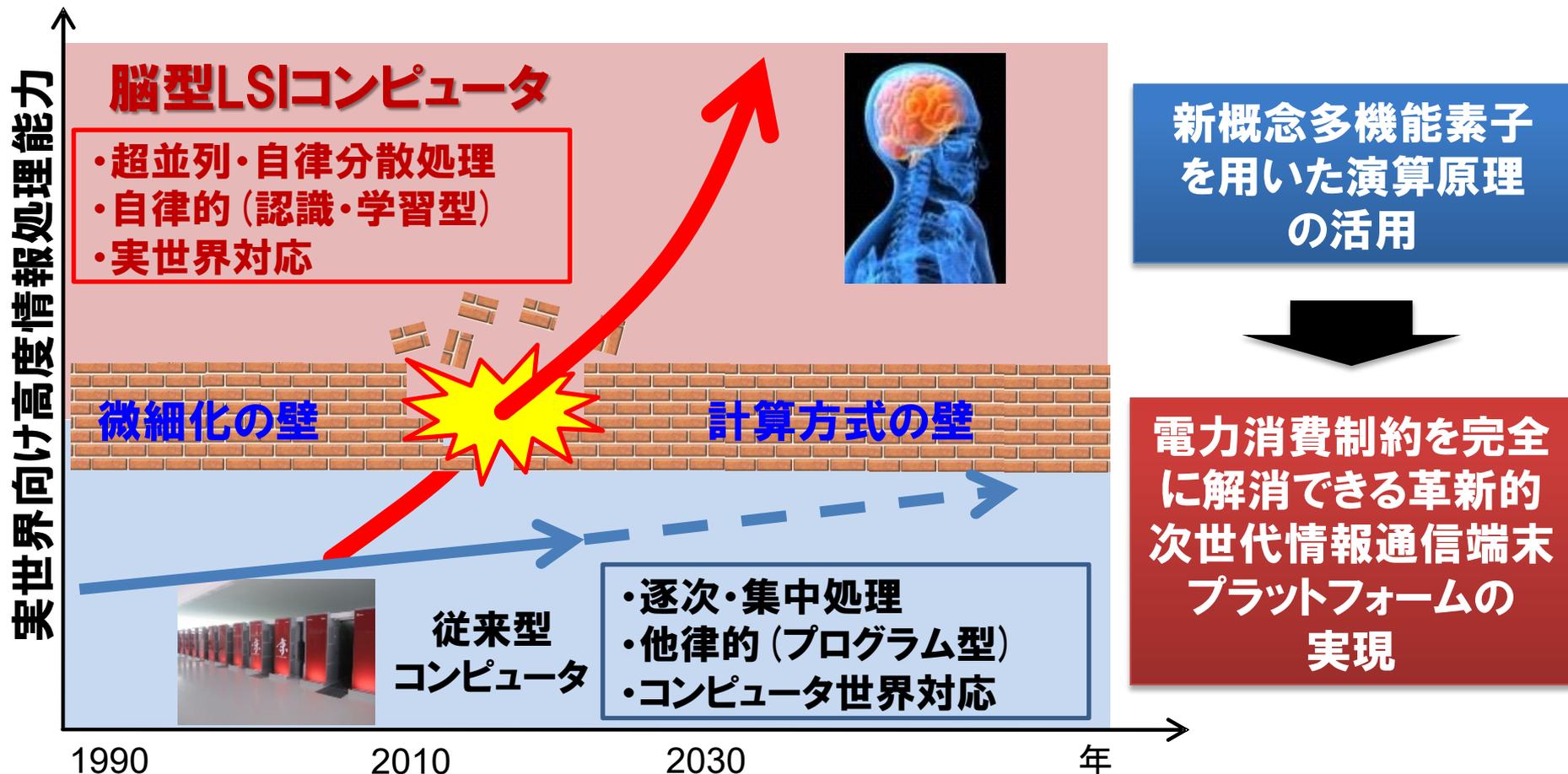


開発した4キロバイトのデュアルポート型SOT-MRAMチップ (クリックで拡大) 出典: 東北大学

「世界初」のチップ動作実証、実用化へ大きな一歩

脳型LSIコンピューティング

人間の脳が行っている知的活動をも代替するような高機能・多機能なVLSIの実現を目指し、デバイス技術・回路技術・アーキテクチャ技術の融合による新しい設計パラダイムの構築に取り組んでいます。



研究室風景 & 研究活動

研究風景



芋煮会



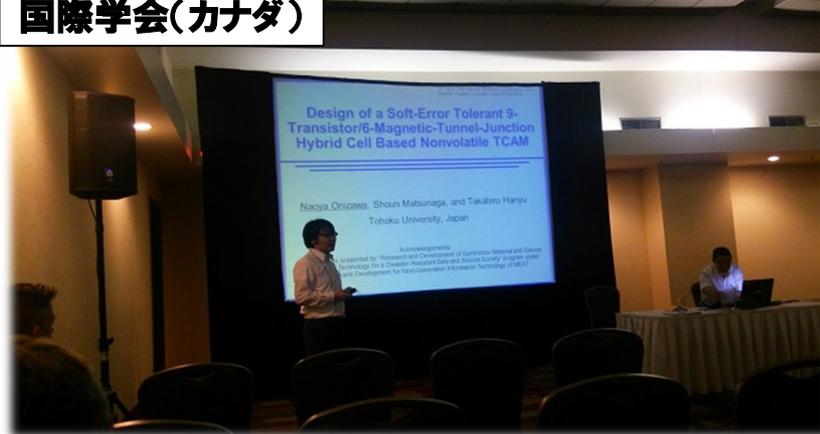
国際学会(スペイン)



国際学会(オーストリア)



国際学会(カナダ)

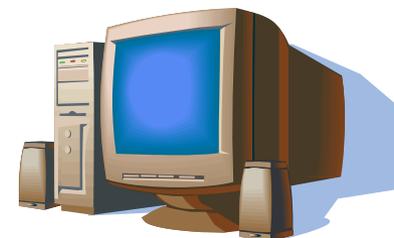


実世界環境で人間をサポートするコンピュータシステムを実現する場合、即応性などの性能はもちろん、外部環境の時々刻々の変化に対して柔軟に対応する適応性が必要不可欠です。本研究室では、人にやさしい社会の実現に向け、新しい考え方に基づくマルチメディア応用高性能・高信頼VLSIプロセッサの実現法に関する研究を行っています。

研究室メンバー構成(2021年度)

◆ 職員 6名

- 教授 : 1名
- 准教授 : 2名
- 助教 : 0名
- 研究員 : 2名
- 事務補佐員 : 1名



◆ 学生 9名

- 博士課程 : 1名 (卓越大学院生: 1名)
- 修士課程 : 5名
- 学部学生 : 3名

計 15名

ブレインウェア研究開発施設

